



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

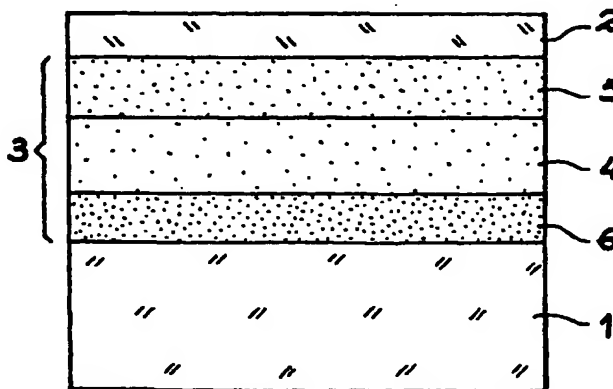
(51) Classification internationale des brevets ⁷ : H01L 21/762, 21/20, 21/76	A1	(11) Numéro de publication internationale: WO 00/03429 (43) Date de publication internationale: 20 janvier 2000 (20.01.00)
<p>(21) Numéro de la demande internationale: PCT/FR99/01659</p> <p>(22) Date de dépôt international: 8 juillet 1999 (08.07.99)</p> <p>(30) Données relatives à la priorité: 98/08919 10 juillet 1998 (10.07.98) FR</p> <p>(71) Déposant (pour tous les Etats désignés sauf US): COMMISSARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 31-33, rue de la Fédération, F-75015 Paris (FR).</p> <p>(72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): JOLY, Jean-Pierre [FR/FR]; 22, place Salvadore Allende, F-38120 St. Egrève (FR). BRUEL, Michel [FR/FR]; Presvet n° 9, F-38113 Veurey (FR). JAUSSAUD, Claude [FR/FR]; Allée des Tonnelles, F-38240 Meylan (FR).</p> <p>(74) Mandataire: BEAUPIN, Jacques; Brevatome, 3, rue du Docteur Lancereaux, F-75008 Paris (FR).</p>	<p>(81) Etats désignés: JP, KR, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Publiée Avec rapport de recherche internationale.</p>	

(54) Title: THIN-LAYERED SEMICONDUCTOR STRUCTURE COMPRISING A HEAT DISTRIBUTION LAYER

(54) Titre: STRUCTURE SEMICONDUCTRICE EN COUCHE MINCE COMPORTANT UNE COUCHE DE REPARTITION DE CHALEUR

(57) Abstract

The invention concerns a thin layered semiconductor structure comprising a surface semiconductor layer (2) separated from a support substrate (1) by an intermediate zone (3), said intermediate zone (3) being a multilayer electrically insulating the surface semiconductor layer from the support substrate. The intermediate zone has an interface electrical property considered to be sufficiently good with the surface semiconductor layer and comprises at least a first layer, having suitable thermal conductivity for ensuring the proper functioning of the electronic device(s) which are to be produced from the surface semiconductor layer (2), the intermediate zone further including a second layer, insulating and with low dielectric constant, located between the first layer and the support substrate.



(57) Abrégé

L'invention concerne une structure semiconductrice en couche mince comprenant une couche superficielle semiconductrice (2) séparée d'un substrat support (1) par une zone intermédiaire (3), la zone intermédiaire (3) étant une multicouche isolant électriquement la couche superficielle semiconductrice du substrat support. La zone intermédiaire présente une qualité électrique d'interface considérée comme suffisamment bonne avec la couche superficielle semiconductrice et comprend au moins une première couche, de conductibilité thermique satisfaisante pour assurer un fonctionnement considéré comme correct du ou des dispositifs électroniques qui doivent être élaborés à partir de la couche superficielle semiconductrice (2), la zone intermédiaire comprenant en outre une deuxième couche, isolante et de faible constante diélectrique, située entre la première couche et le substrat support.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brsil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

**STRUCTURE SEMICONDUCTRICE EN COUCHE MINCE COMPORTANT
UNE COUCHE DE REPARTITION DE CHALEUR**

Domaine technique

5

La présente invention concerne une structure semiconductrice en couche mince et des procédés de réalisation d'une telle structure.

Par structure semiconductrice en couche mince, on entend une structure possédant en surface une fine couche semiconductrice dans laquelle seront fabriqués des dispositifs électroniques (cette couche est dite couche active) et un substrat jouant un rôle mécanique de support. Ce substrat est généralement isolé électriquement de la couche de surface. Le substrat est constitué soit d'un matériau massif isolant (un diélectrique dans le cas du SOS), soit d'un matériau conducteur ou semiconducteur. Dans ce dernier cas, il peut s'agir du même matériau que celui de la couche de surface (cas du SOI), isolé généralement de la couche de surface par une couche d'isolant. Dans le cas du SOI, le substrat mécanique est usuellement constitué d'un substrat de silicium avec une couche de silice en surface, mais il peut aussi être constitué d'un substrat massif de silice fondu (silicium sur quartz). On connaît également d'autres structures semiconductrices en couche mince comme l'AsGa sur silicium, le SiC sur silicium ou le GaN sur saphir, etc. Ces structures sont réalisées soit par des techniques dites de "Wafer Bonding", soit par hétéroépitaxie.

Etat de la technique antérieure

Les structures semiconductrices en couche mince comme par exemple les structures SOI sont de plus en plus utilisées pour réaliser des dispositifs électroniques. Les structures SOI sont utilisées en particulier pour fabriquer des circuits VLSI logiques et analogiques ou pour fabriquer des composants de puissance. Une structure (ou substrat) SOI présente plusieurs avantages par rapport à un substrat massif de silicium. L'un de ces avantages est que l'isolant sous-jacent à la couche de silicium permet de diminuer les capacités parasites des dispositifs élaborés dans la couche de silicium, et cela d'autant plus que cet isolant est épais.

Un procédé devenu classique de réalisation d'un substrat SOI est le procédé SIMOX (Separation by IMplanted OXygen). Selon ce procédé, l'isolant est une couche enterrée d'oxyde de silicium SiO_2 obtenue par implantation uniforme d'oxygène dans un substrat de silicium. Cette technique est maintenant concurrencée par d'autres procédés du type appelé "Wafer Bonding" selon la terminologie anglo-saxonne, (et que l'on désignera par la suite sous l'appellation d'adhésion moléculaire), par exemple le procédé BSOI (décrit par J. HAISMA et al. dans Jap. J. Appl. Phys., vol. 28, page L 725, 1989) ou le procédé UNIBOND (décrit par M. BRUEL dans Electron. Lett., vol. 31, page 1201, 1995).

La technique SIMOX est encore largement utilisée. Elle est basée sur une implantation d'oxygène à très forte dose. Elle permet la fabrication de couches enterrées de silice uniquement pour des épaisseurs comprises entre 100 et 400 nm. L'inconvénient majeur de cette technique est son coût dû à l'implantation ionique à forte dose, et la

nécessité de recourir à des équipements non standard en microélectronique. Les techniques de type à adhésion moléculaire ne présentent pas cet inconvénient et permettent en outre, dans le principe, de moduler les épaisseurs de couches ainsi que la nature du matériau constituant l'isolant. Le procédé UNIBOND permet en outre un moindre coût et une meilleure homogénéité de la couche de silicium.

Tous les substrats SOI actuels utilisent la silice amorphe SiO_2 comme matériau de base de la couche d'isolant enterré. Ce matériau est un bon isolant, est facile à fabriquer et donne de très bonnes interfaces avec le silicium du fait qu'il possède peu de charges fixes et d'états d'interface. Il a de plus une faible constante diélectrique, ce qui est un facteur favorable pour la rapidité des composants à cause de la diminution des capacités parasites.

La silice présente toutefois un gros inconvénient : sa très faible conductibilité thermique qui est de l'ordre de $0,02 \text{ W.m}^{-1}.\text{K}^{-1}$. Ceci entraîne un échauffement transitoire et localisé important, tout à fait gênant pour le bon fonctionnement des composants. Une méthode pour réduire cet échauffement est de diminuer l'épaisseur de la couche de silice enterrée. Cependant, cette diminution d'épaisseur a pour inconvénients d'une part d'augmenter les capacités parasites (donc de diminuer la rapidité des composants) et, d'autre part, de diminuer la tenue électrique. Par ailleurs, la diminution d'épaisseur de la couche d'isolant n'est pas aisée à obtenir dans la mise en œuvre des procédés du type à adhésion moléculaire où une bonne qualité de collage est obtenue beaucoup plus facilement avec des couches dont l'épaisseur dépasse 300 nm.

Il a donc été envisagé de remplacer la silice par un autre matériau isolant présentant une meilleure conductibilité thermique. On peut se référer à ce sujet aux documents EP-A-0 707 338, EP-A-0 570 321, EP-A-0 317 445 et WO-A-91/11822. Les matériaux proposés (par exemple le diamant) ne présentent pas une bonne interface avec le silicium du point de vue électrique. Pour cela, une mince couche de silice est ajoutée pour réaliser l'interface avec le silicium superficiel. Ces solutions sont certes efficaces du point de vue thermique, mais elles ne sont pas facilement applicables en association avec les techniques de collage par adhésion moléculaire. Il est en effet extrêmement difficile de coller les matériaux de forte conductibilité thermique tels qu'envisagés.

Il existe également les structures de type SiC sur silicium ou AsGa sur silicium avec généralement une couche isolante intermédiaire. Ces structures sont souvent utilisées pour la réalisation de composants hyperfréquence de puissance. De ce fait, la dissipation thermique dans le composant est énorme et la conductibilité thermique du silicium et/ou des diélectriques utilisés est insuffisante pour assurer une température de jonction qui ne soit pas rédhibitoire.

Exposé de l'invention

Pour remédier à ce problème, il est proposé, selon la présente invention, une structure semiconductrice en couche mince possédant plusieurs couches entre la couche superficielle semiconductrice, à partir de laquelle seront élaborés les composants électroniques, et le substrat support de façon à découpler les fonctions de conductibilité thermique et

d'isolation électrique. Ce découplage permet d'optimiser, par un choix de matériaux adéquats ces deux fonctions, étant bien entendu que ces matériaux doivent permettre également une bonne qualité d'interface (tenue mécanique). Le matériau en contact avec la couche de semiconducteur doit en outre présenter une interface de bonne qualité électrique. Ainsi, la couche en contact avec la couche superficielle semiconductrice peut être réalisée au moyen d'une couche isolante offrant une bonne isolation électrique et une bonne qualité électrique d'interface. Une couche d'un matériau présentant une conductibilité thermique est utilisée pour remédier au problème de l'échauffement produit par les composants électroniques. Une autre couche peut être utilisée pour assurer la liaison de qualité avec le substrat support si la couche de bonne conductibilité thermique ne le permet pas. Elle peut être de faible conductibilité thermique. Si cette couche est isolante, son rôle peut être également de maintenir une épaisseur suffisante d'isolant de faible permittivité sous la couche superficielle semiconductrice afin de garder de faibles capacités parasites pour les composants électroniques et de permettre un collage aisé dans le cas de l'utilisation de la technique d'adhésion moléculaire.

L'invention a donc pour objet une structure semiconductrice en couche mince comprenant une couche superficielle semiconductrice séparée d'un substrat support par une zone intermédiaire, la zone intermédiaire étant une multicouche isolant électriquement la couche superficielle semiconductrice du substrat support, présentant une qualité électrique d'interface considérée comme suffisamment bonne avec la couche superficielle semiconductrice et comprenant au moins une première couche, de conductibilité thermique

satisfaisante pour assurer un fonctionnement considéré comme correct du ou des dispositifs électroniques qui doivent être élaborés à partir de la couche superficielle semiconductrice, caractérisée en ce que
5 la zone intermédiaire comprend en outre une deuxième couche, isolante et de faible constante diélectrique, située entre la première couche et le substrat support.

Avantageusement, l'épaisseur de la première couche est choisie en fonction de la dimension des
10 zones de dissipation thermique des dispositifs électroniques. A titre d'exemple, on choisira avantageusement comme épaisseur pour la première couche, une épaisseur du même ordre de grandeur ou supérieure à la dimension de la plus grande zone de
15 dissipation thermique. Dans le cas de l'utilisation d'une troisième couche, celle-ci doit être la plus mince possible pour optimiser le rôle de la première couche.

La deuxième couche peut être apte à assurer
20 une adhérence considérée comme satisfaisante entre la zone intermédiaire et le substrat support. On entend par bonne adhérence une adhérence mécanique avec le moins possible de défauts macroscopiques (c'est-à-dire des manques d'adhérence localisés).

La zone intermédiaire peut comprendre une
25 troisième couche, isolante entre la première couche et la couche superficielle semiconductrice, ladite troisième couche conférant à la zone intermédiaire ladite qualité électrique d'interface. Si la structure
30 semiconductrice est une structure SOI, la troisième couche est avantageusement une couche d'oxyde de silicium obtenue par exemple par oxydation thermique.

Si la structure semiconductrice est une structure SOI, la deuxième couche peut être une couche
35 d'oxyde de silicium.

La première couche peut ne pas être isolante. Son épaisseur est ajustée en fonction des zones de génération de chaleur dans la couche semiconductrice. Elle peut notamment être multicouche.

5 De façon plus précise, pour que la couche de bonne conductibilité thermique joue efficacement son rôle dans la diffusion de la chaleur générée dans les composants, son épaisseur devra être suffisante. A l'inverse, l'épaisseur de couches intermédiaires
10 éventuelles de relativement faible conductibilité thermique entre cette couche et la couche semiconductrice devra être minimisée. Dans la pratique, les épaisseurs respectives de ces couches nécessaires à un bon fonctionnement thermique dépendront de la taille
15 des composants et de leur fonctionnement (taille des zones de dissipation thermique) et des conductibilités thermiques des différents matériaux (couche semiconductrice, couche dissipatrice, sous-couches et substrat). La première couche peut être constituée d'un
20 matériau choisi parmi le silicium polycristallin, le diamant, l'alumine, le nitrure de silicium, le nitrure d'aluminium, le nitrure de bore, le carbure de silicium.

La première couche peut être en contact
25 avec la couche superficielle semiconductrice et être apte à conférer ladite qualité électrique d'interface. La structure semiconductrice étant une structure SOI, la première couche peut être une couche de carbure de silicium cubique.

30 Avantageusement, la deuxième couche de la zone intermédiaire présente une épaisseur suffisante d'isolant de faible constante diélectrique pour que les capacités parasites présentes entre la couche superficielle semiconductrice et le substrat support
35 soient suffisamment faibles pour assurer un

fonctionnement considéré comme correct du ou des dispositifs électroniques qui doivent être élaborés à partir de la couche superficielle semiconductrice.

L'invention a aussi pour objet un procédé
5 de fabrication d'une structure semiconductrice telle que définie ci-dessus, caractérisé en ce qu'il comprend les étapes suivantes :

- fabrication des couches de la zone intermédiaire sur une face d'un premier substrat
10 destiné à fournir ladite couche superficielle semiconductrice et/ou sur une face d'un deuxième substrat destiné à fournir le substrat support de la structure,

- collage du premier substrat sur le
15 deuxième substrat, lesdites faces étant mises en vis-à-vis,

- réalisation de ladite couche superficielle semiconductrice.

La réalisation de ladite couche
20 superficielle semiconductrice peut comprendre la réduction de l'épaisseur du premier substrat.

Le collage du premier substrat sur le deuxième substrat peut être réalisé par adhésion moléculaire. Dans ce cas, l'étape de fabrication des
25 couches de la zone intermédiaire peut comprendre le dépôt d'au moins une couche de collage pour permettre le collage par adhésion moléculaire. Avantageusement, ladite couche de collage est une couche d'oxyde de silicium.

30 La première couche peut être une couche d'un matériau choisi parmi le silicium polycristallin déposé par LPCVD, le diamant déposé par PECVD, l'alumine déposée par pulvérisation cathodique réactive, le nitrure de silicium déposé par CVD, le
35 nitrure d'aluminium déposé par CVD, le nitrure de bore

déposé par CVD et le carbure de silicium déposé par CVD.

La réduction de l'épaisseur du premier substrat peut être obtenue par l'utilisation d'une ou
5 plusieurs techniques parmi : la rectification, l'attaque chimique, le polissage, la séparation suite à un traitement thermique le long d'un plan de clivage induit par implantation ionique.

10 Brève description des dessins

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre
15 d'exemple non limitatif, accompagnée des figures annexées parmi lesquelles :

- la figure 1 montre, en vue transversale, une structure semiconductrice à couche de répartition de chaleur selon la présente invention,
- 20 - les figures 2A à 2D illustrent différentes étapes d'un premier procédé de réalisation d'une structure semiconductrice selon la présente invention,
- les figures 3A et 3B illustrent
25 différentes étapes d'un deuxième procédé de réalisation d'une structure semiconductrice selon la présente invention.

30 Description détaillée de modes de réalisation de l'invention

La figure 1 montre un premier exemple de structure semiconductrice selon l'invention. Cette structure comporte un substrat support 1 par exemple en
35 silicium, une couche superficielle 2 en silicium et une

zone intermédiaire 3. La zone intermédiaire 3 comporte au moins une couche 4 de bonne conductibilité thermique, une couche isolante 5 conférant une bonne qualité électrique de l'interface avec la couche
5 semiconductrice superficielle 2 et une couche isolante 6, pouvant être de faible conductibilité thermique, adhérent au substrat support 1.

Dans le cas d'une structure SOI mettant en œuvre le procédé d'adhésion moléculaire, on peut en
10 particulier réaliser la couche 6 en silice. Cette couche 6 peut bien sûr être une multicouche.

Lorsque la couche 4 de bonne conductibilité thermique permet d'avoir directement une bonne interface électrique avec la couche superficielle en
15 silicium 2, la couche 5 peut être omise.

La structure selon l'invention permet de garder les matériaux et les épaisseurs permettant à la fois une fabrication aisée et un bon fonctionnement des dispositifs électroniques qui seront réalisés sur ou
20 dans la couche superficielle semiconductrice.

La couche 4 (ou les couches 4) agit comme répartiteur de la chaleur et permet de diminuer l'élévation de la température au niveau du dispositif émetteur de chaleur tout en permettant de garder la ou
25 les couches sous-jacentes de faible conductibilité thermique et de relativement forte épaisseur.

La couche isolante 5 peut également être une multicouche isolante.

L'intérêt de l'invention du point de vue
30 thermique peut être montré grâce à l'exemple suivant se rapportant à une structure SOI. On suppose un échauffement localisé de $0,2\text{ }\mu\text{m}$ de diamètre, correspondant à peu près à l'échauffement créé par un transistor de génération avancée. On a calculé
35 l'échauffement résultant en fixant la nature (silice)

et l'épaisseur des matériaux des couches 5 et 6 (respectivement 0,1 et 0,3 μm) et on a fait varier la nature et l'épaisseur de la couche 4. On a utilisé pour cela un modèle très simple, assimilant la structure à
5 une structure hémisphérique. On constate que l'adjonction d'une couche de répartition 4 d'épaisseur modérée (de l'ordre de la dimension du dispositif électronique) fabriquée dans des matériaux divers de conductibilités thermiques variées, mais néanmoins
10 toujours supérieures à celles de la silice, permet de s'approcher assez vite de l'échauffement correspondant à la présence de la seule couche de silice 5 de 0,1 μm d'épaisseur.

Du point de vue rapidité du dispositif
15 électronique, on a intérêt à choisir pour la couche 4 un matériau isolant et si possible de faible constante diélectrique. Ceci permet en effet de diminuer les capacités et les pertes diélectriques.

Un premier procédé de réalisation d'une
20 structure semiconductrice selon la présente invention va maintenant être décrit en relation avec les figures 2A à 2D.

La figure 2A montre un premier substrat 10 par exemple en silicium ou en SiC sur une face duquel
25 on a fabriqué une couche 15 d'un matériau isolant présentant avec le substrat 10 une qualité électrique d'interface considérée comme suffisamment bonne. De préférence, la couche 15 est une couche de silice obtenue par oxydation thermique. On dépose ensuite sur
30 la couche 15 une couche 14 possédant une conductibilité thermique satisfaisante. Parmi les matériaux susceptibles d'être utilisés, on peut citer le silicium polycristallin déposé par LPCVD, le diamant déposé par PECVD, l'alumine déposé par pulvérisation cathodique
35 réactive à partir d'une cible d'aluminium, le nitrure

de silicium, le nitrure d'aluminium, le nitrure de bore déposés par CVD et le SiC déposé par CVD. Sur la couche 14, on peut éventuellement déposer une couche 16' isolante et facilitant le collage, de préférence une
5 couche de silice déposée par exemple par CVD, sauf si la couche 14 permet un collage direct avec un deuxième substrat 11.

Le substrat en silicium 10 présente une couche 17 de microcavités disposée parallèlement à la
10 face du substrat sur laquelle ont été obtenues les couches isolantes 15, 14 et 16'. Cette couche de microcavités 17 délimite dans le substrat 10 une couche 12 destinée à devenir la couche superficielle semiconductrice de la structure. Les microcavités ont
15 été obtenues par implantation ionique d'hydrogène dans les conditions décrites dans le document FR-A-2 681 472 afin d'obtenir une séparation en deux parties du substrat 10 le long d'un plan de clivage lors d'un traitement thermique postérieur. L'opération
20 d'implantation ionique peut être effectuée avant ou après l'obtention des couches isolantes 15, 14 et 16' ou entre le dépôt de l'une de ces couches et le dépôt d'une autre couche.

La figure 2B montre un deuxième substrat 11
25 par exemple en silicium, servant de substrat support, sur une face duquel on a fabriqué une couche de collage 16". Cette couche de collage est de préférence une couche de silice réalisée par oxydation thermique. Elle n'est nécessaire que si la nature du substrat 11 ne
30 permet pas un collage direct avec la couche 16'.

La figure 2C illustre l'étape de collage, par adhésion moléculaire, des deux substrats par mise en contact des faces libres et préparées des couches de collage 16' et 16".

Un traitement thermique approprié (voir le document FR-A-2 681 472) permet ensuite d'obtenir la séparation en deux parties du substrat 10 le long de la couche de microcavités 17. On obtient alors la structure représentée à la figure 2D, qui est une structure SOI comprenant un substrat support 11 et une couche superficielle 12 en silicium séparés par une zone intermédiaire 13. La zone 13 comprend une couche d'interface électrique 15, une couche 14 de conductibilité thermique satisfaisante et une bicouche 16 (formée des couches 16' et 16'' en silice) assurant une bonne adhérence avec le substrat 11.

La face libre de la couche superficielle 12 peut ensuite être conditionnée par polissage et nettoyage.

Un deuxième procédé de réalisation d'une structure semiconductrice selon la présente invention va maintenant être décrit en relation avec les figures 3A et 3B.

La figure 3A montre un premier substrat 20 par exemple en silicium sur une face duquel on a réalisé, par exemple par épitaxie un matériau de bonne conductibilité thermique pour obtenir une couche correspondante 24. Le matériau épitaxié peut être du carbure de silicium cubique élaboré selon les techniques connues. Sur la couche 24, on dépose ensuite une couche isolante 26, par exemple une couche de silice.

Comme précédemment le substrat en silicium 20 présente une couche 27 de microcavités disposée parallèlement à la face du substrat sur laquelle ont été déposées les couches isolantes 24 et 26. Cette couche de microcavités 27 délimite dans le substrat 20 une couche 22 destinée à devenir la couche superficielle semiconductrice de la structure SOI.

Comme précédemment, la couche 27 de microcavités a été réalisée dans les conditions décrites dans le document FR-A-2 681 472.

Un deuxième substrat 21 par exemple en silicium, servant de substrat support, a été préparé.

On réalise ensuite le collage des deux substrats, par adhésion moléculaire, par mise en contact de la face libre de la couche 26 (voir la figure 3A) avec une face libre du substrat 21. Le résultat obtenu est représenté à la figure 3B.

Une étape de traitement thermique approprié permet ensuite d'obtenir la séparation en deux parties du substrat 20 le long de la couche de microcavités 27.

Dans cet exemple de réalisation, il est avantageux de réaliser l'étape d'implantation ionique après l'épitaxie de la couche isolante 24. En effet, l'implantation ionique d'hydrogène dans le carbure de silicium, lorsque ce matériau est utilisé, rend celui-ci parfaitement isolant. Ceci permet d'obtenir une structure SOI de la qualité requise.

On constate aussi que, dans cet exemple de réalisation, il n'y a pas de couche particulière pour obtenir l'interface électrique avec la couche de silicium superficielle. En effet, la couche 24 de bonne conductibilité thermique étant obtenue par épitaxie, l'interface avec la couche superficielle semiconductrice est a priori de qualité électrique satisfaisante.

REVENDICATIONS

1. Structure semiconductrice en couche mince comprenant une couche superficielle semiconductrice (2, 12, 22) séparée d'un substrat support (1, 11, 21) par une zone intermédiaire (3, 13, 33), la zone intermédiaire (3, 13, 33) étant une multicouche isolant électriquement la couche superficielle semiconductrice du substrat support, présentant une qualité électrique d'interface considérée comme suffisamment bonne avec la couche superficielle semiconductrice et comprenant au moins une première couche, de conductibilité thermique satisfaisante pour assurer un fonctionnement considéré comme correct du ou des dispositifs électroniques qui doivent être élaborés à partir de la couche superficielle semiconductrice (2, 12, 22), caractérisée en ce que la zone intermédiaire comprend en outre une deuxième couche, isolante et de faible constante diélectrique, située entre la première couche et le substrat support.

2. Structure semiconductrice selon la revendication 1, caractérisée en ce que l'épaisseur de la première couche est choisie en fonction de la dimension des zones de dissipation thermique des dispositifs électroniques.

3. Structure semiconductrice selon la revendication 1, caractérisée en ce que la deuxième couche est apte à assurer une adhérence considérée comme satisfaisante entre la zone intermédiaire et le substrat support.

4. Structure semiconductrice selon la revendication 1, caractérisée en ce que la zone intermédiaire (3, 13) comprend une troisième couche (5, 15), isolante, entre la première couche et la couche superficielle semiconductrice (2, 12), ladite troisième

couche conférant à la zone intermédiaire ladite qualité électrique d'interface.

5 5. Structure semiconductrice selon la revendication 4, caractérisée en ce que, la structure semiconductrice étant une structure SOI, la troisième couche (5, 15) est une couche d'oxyde de silicium.

10 6. Structure semiconductrice selon la revendication 5, caractérisée en ce que la troisième couche (5, 15) est une couche d'oxyde de silicium obtenue par oxydation thermique.

15 7. Structure semiconductrice selon l'une quelconque des revendications 1 à 6, la structure semiconductrice étant une structure SOI, caractérisée en ce que la deuxième couche (6, 16) est une couche d'oxyde de silicium.

20 8. Structure semiconductrice selon l'une quelconque des revendications 1 à 7, caractérisée en ce que la première couche (4, 14) est constituée d'un matériau choisi parmi le silicium polycristallin, le diamant, l'alumine, le nitrure de silicium, le nitrure d'aluminium, le nitrure de bore et le carbure de silicium.

25 9. Structure semiconductrice selon la revendication 1, caractérisée en ce que la première couche (24) est en contact avec la couche superficielle semiconductrice (22) et est apte à conférer ladite qualité électrique d'interface.

30 10. Structure semiconductrice selon la revendication 9, caractérisée en ce que, la structure semiconductrice étant une structure SOI, ladite première couche (24) est une couche de carbure de silicium cubique.

35 11. Structure semiconductrice selon l'une quelconque des revendications 1 à 10, caractérisée en ce que la deuxième couche de la zone intermédiaire

présente une épaisseur suffisante d'isolant de faible constante diélectrique pour que les capacités parasites présentes entre la couche superficielle semiconductrice (2, 12, 22) et le substrat support (1, 11, 21) soient
5 suffisamment faibles pour assurer un fonctionnement considéré comme correct du ou des dispositifs électroniques qui doivent être élaborés à partir de la couche superficielle semiconductrice (2, 12, 22).

12. Procédé de fabrication d'une structure
10 semiconductrice selon la revendication 1, caractérisé en ce qu'il comprend les étapes suivantes :

- fabrication des couches de la zone intermédiaire sur une face d'un premier substrat destiné à fournir ladite couche superficielle
15 semiconductrice et/ou sur une face d'un deuxième substrat destiné à fournir le substrat support de la structure,

- collage du premier substrat sur le deuxième substrat, lesdites faces étant mises en vis-à-
20 vis,

- réalisation de ladite couche superficielle semiconductrice.

13. Procédé selon la revendication 12, caractérisé en ce que la réalisation de ladite couche
25 superficielle semiconductrice comprend la réduction de l'épaisseur du premier substrat.

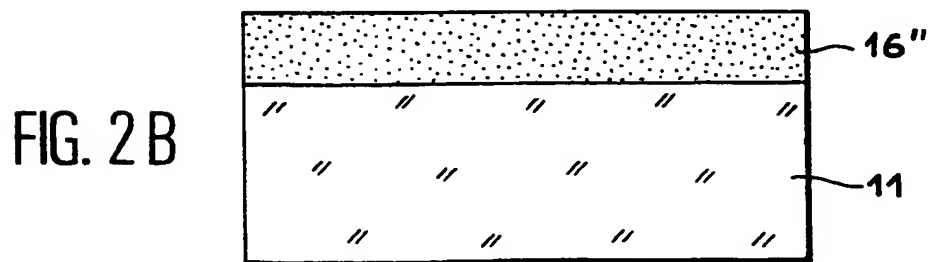
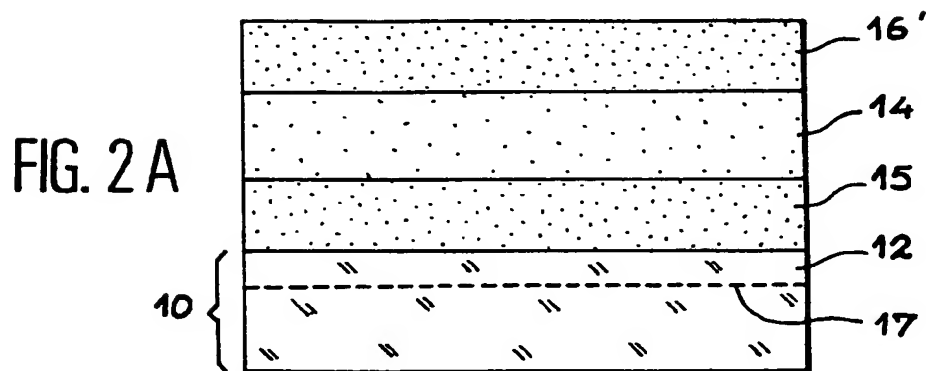
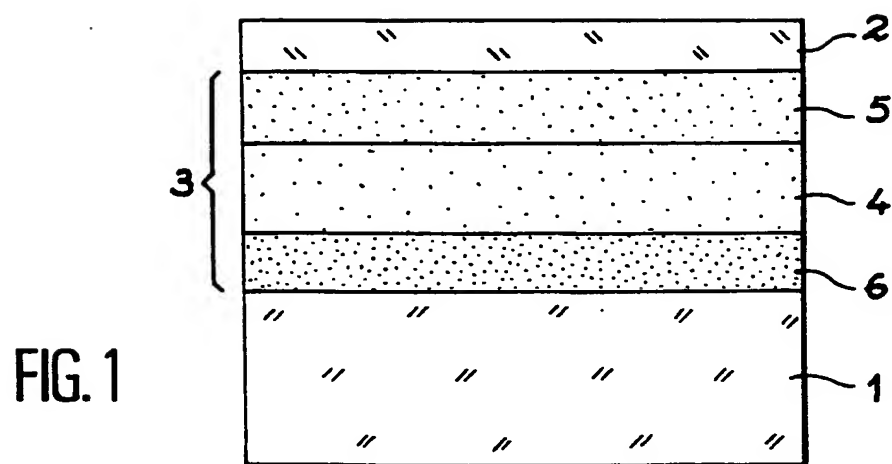
14. Procédé selon l'une des revendications 12 ou 13, caractérisé en ce que le collage du premier substrat sur le deuxième substrat est réalisé par
30 adhésion moléculaire.

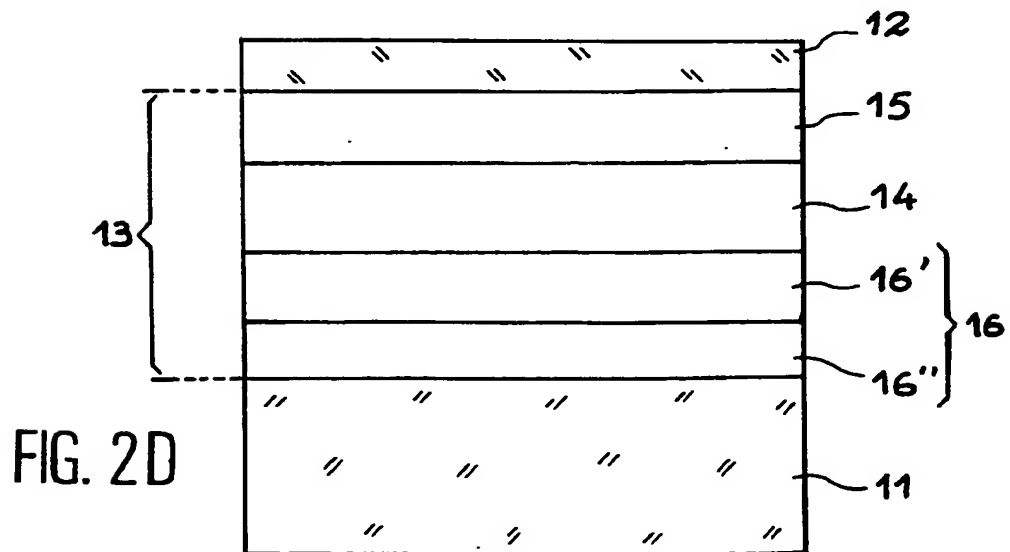
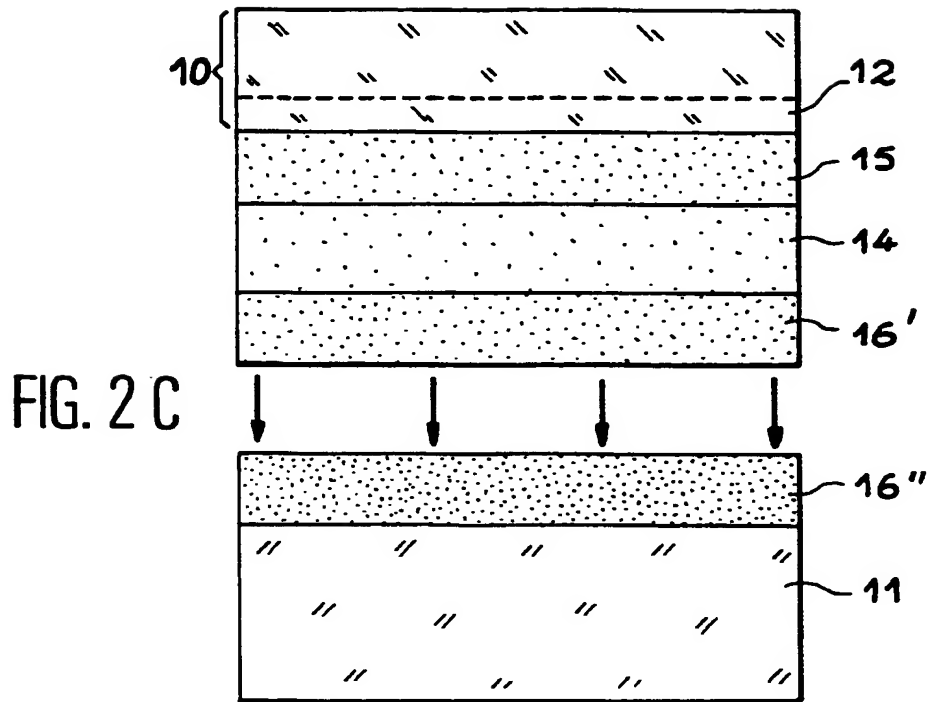
15. Procédé selon la revendication 14, caractérisé en ce que l'étape de fabrication des couches de la zone intermédiaire comprend le dépôt d'au
35 moins une couche de collage pour permettre le collage par adhésion moléculaire.

16. Procédé selon la revendication 15, caractérisé en ce que ladite couche de collage est une couche d'oxyde de silicium.

17. Procédé selon l'une quelconque des
5 revendications 12 à 16, caractérisé en ce que la première couche est une couche d'un matériau choisi parmi le silicium polycristallin déposé par LPCVD, le diamant déposé par PECVD, l'alumine déposée par pulvérisation cathodique réactive, le nitrure de
10 silicium déposé par CVD, le nitrure d'aluminium déposé par CVD, le nitrure de bore déposé par CVD et le carbure de silicium déposé par CVD.

18. Procédé selon l'une quelconque des
15 revendications 13 à 17, caractérisé en ce que la réduction de l'épaisseur du premier substrat (10) est obtenue par l'utilisation d'une ou plusieurs techniques parmi : la rectification, l'attaque chimique, le polissage, la séparation suite à un traitement
thermique le long d'un plan de clivage induit par
20 implantation ionique.





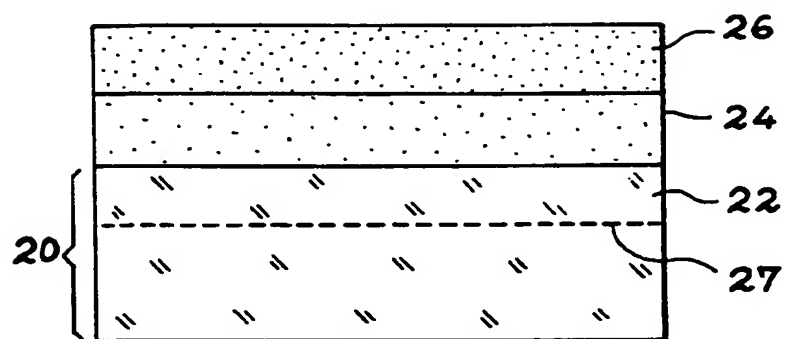


FIG. 3A

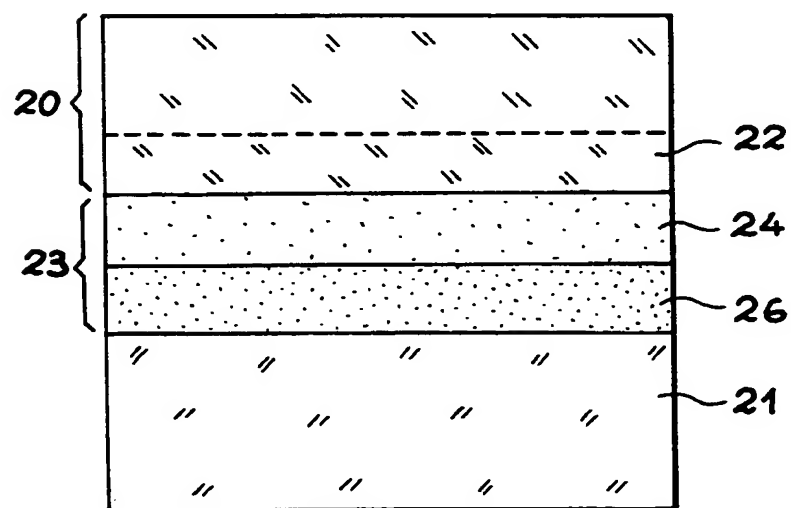


FIG. 3B

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 99/01659

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/762 H01L21/20 H01L21/76

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 773 151 A (LOWTHER REX E ET AL) 30 June 1998 (1998-06-30) abstract; claims; figures ---	1-8, 11, 12
Y	EP 0 553 854 A (CANON KK) 4 August 1993 (1993-08-04) column 3, line 56 - column 4, line 5 ---	1-8, 11, 12
A	WO 94 15359 A (HARRIS CORP) 7 July 1994 (1994-07-07) figures 3,4 page 10, line 11 - page 12, line 12 ---	1,2
A	WO 96 15557 A (UNIV NORTH CAROLINA ;BALIGA BANTVAL JAYANT (US)) 23 May 1996 (1996-05-23) page 1, line 14 - line 17 page 13, line 3 - line 20 ---	1,3
	--- -/--	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"S" document member of the same patent family

Date of the actual completion of the international search

8 October 1999

Date of mailing of the international search report

15/10/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wirner, C

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 99/01659

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 570 321 A (IBM) 18 November 1993 (1993-11-18) abstract; claims; figures column 3, line 55 -column 5, line 48 -----	1,2, 4-10,12, 17
A	EP 0 707 338 A (SGS THOMSON MICROELECTRONICS) 17 April 1996 (1996-04-17) abstract; claims; figures 1-3 -----	1,3-10, 12,14-17
A	DI CIOCCIO L ET AL: "Silicon carbide on insulator formation by the Smart-Cut(R) process" MATERIALS SCIENCE AND ENGINEERING B, vol. 46, no. 1-3, April 1997 (1997-04), page 349-356 XP004085343 the whole document -----	1-18

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 99/01659

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5773151 A	30-06-1998	EP 0777911 A WO 9702598 A	11-06-1997 23-01-1997
EP 0553854 A	04-08-1993	JP 5217824 A US 5374329 A	27-08-1993 20-12-1994
WO 9415359 A	07-07-1994	DE 69225911 D DE 69225911 T EP 0674806 A JP 8505009 T	16-07-1998 11-02-1999 04-10-1995 28-05-1996
WO 9615557 A	23-05-1996	US 5543637 A AU 4233296 A EP 0792523 A US 5681762 A	06-08-1996 06-06-1996 03-09-1997 28-10-1997
EP 0570321 A	18-11-1993	US 5276338 A JP 2059296 C JP 6132184 A JP 7099729 B US 5366923 A	04-01-1994 10-06-1996 13-05-1994 25-10-1995 22-11-1994
EP 0707338 A	17-04-1996	IT T0940818 A	15-04-1996

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

FR/FR 99/01659

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 H01L21/762 H01L21/20 H01L21/76

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 5 773 151 A (LOWTHER REX E ET AL) 30 juin 1998 (1998-06-30) abrégé; revendications; figures	1-8, 11, 12
Y	EP 0 553 854 A (CANON KK) 4 août 1993 (1993-08-04) colonne 3, ligne 56 - colonne 4, ligne 5	1-8, 11, 12
A	WO 94 15359 A (HARRIS CORP) 7 juillet 1994 (1994-07-07) figures 3,4 page 10, ligne 11 - page 12, ligne 12	1,2
A	WO 96 15557 A (UNIV NORTH CAROLINA ;BALIGA BANTVAL JAYANT (US)) 23 mai 1996 (1996-05-23) page 1, ligne 14 - ligne 17 page 13, ligne 3 - ligne 20	1,3
-/--		



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"Z" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

8 octobre 1999

Date d'expédition du présent rapport de recherche internationale

15/10/1999

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Wirner, C

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/FR 99/01659

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>EP 0 570 321 A (IBM) 18 novembre 1993 (1993-11-18)</p> <p>abrégé; revendications; figures colonne 3, ligne 55 -colonne 5, ligne 48</p>	<p>1,2, 4-10,12, 17</p>
A	<p>EP 0 707 338 A (SGS THOMSON MICROELECTRONICS) 17 avril 1996 (1996-04-17) abrégé; revendications; figures 1-3</p>	<p>1,3-10, 12,14-17</p>
A	<p>DI CIOCCIO L ET AL: "Silicon carbide on insulator formation by the Smart-Cut(R) process" MATERIALS SCIENCE AND ENGINEERING B, vol. 46, no. 1-3, avril 1997 (1997-04), page 349-356 XP004085343 le document en entier</p>	<p>1-18</p>

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale No

PCT/FR 99/01659

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5773151	A	30-06-1998	EP 0777911 A	11-06-1997
			WO 9702598 A	23-01-1997
EP 0553854	A	04-08-1993	JP 5217824 A	27-08-1993
			US 5374329 A	20-12-1994
WO 9415359	A	07-07-1994	DE 69225911 D	16-07-1998
			DE 69225911 T	11-02-1999
			EP 0674806 A	04-10-1995
			JP 8505009 T	28-05-1996
WO 9615557	A	23-05-1996	US 5543637 A	06-08-1996
			AU 4233296 A	06-06-1996
			EP 0792523 A	03-09-1997
			US 5681762 A	28-10-1997
EP 0570321	A	18-11-1993	US 5276338 A	04-01-1994
			JP 2059296 C	10-06-1996
			JP 6132184 A	13-05-1994
			JP 7099729 B	25-10-1995
			US 5366923 A	22-11-1994
EP 0707338	A	17-04-1996	IT T0940818 A	15-04-1996